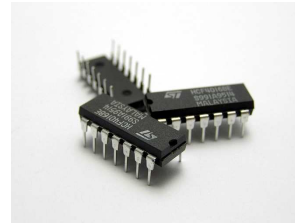
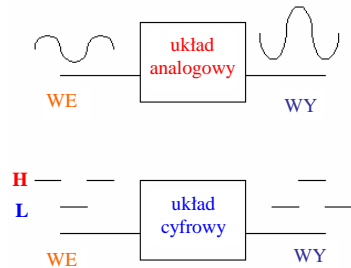


CYFROWE UKŁADY SCALONE

2013

- **Układy analogowe:** przetwarzanie napięć (lub prądów), których wartości zawierają się w pewnym przedziale wartości.
- **Układy cyfrowe:** przetwarzanie sygnałów o dwóch wartościach napięć (ewentualnie prądów): wysokiej (H-high) i niskiej (L-low).



The Nobel Prize in Physics 2000

"for basic work on information and communication technology"

"for developing semiconductor heterostructures used in high-speed- and opto-electronics"

"for his part in the invention of the integrated circuit"



Zhores I. Alferov

1/4 of the prize

Russia

A.F. Ioffe Physico-Technical Institute
St. Petersburg, Russia

b. 1930



Herbert Kroemer

1/4 of the prize

Federal Republic of Germany

University of California
Santa Barbara, CA, USA

b. 1928



Jack S. Kilby

1/2 of the prize

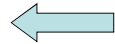
USA

Texas
Instruments
Dallas, TX, USA

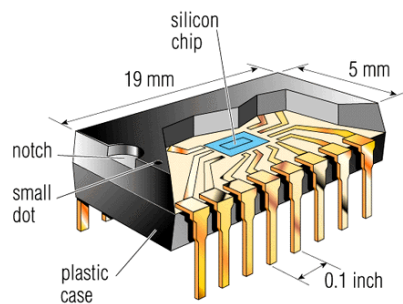
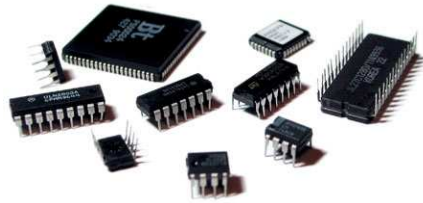
b. 1923
d. 2005

Jack S. Kilby - german, 1957

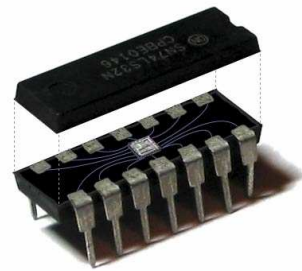
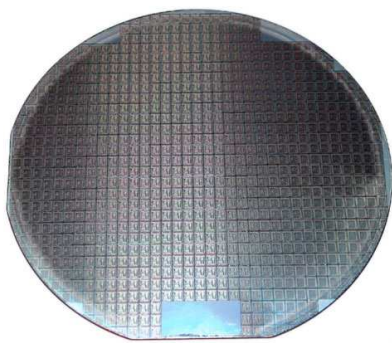
Robert Noyce - krzem, technologia planarna, 1957



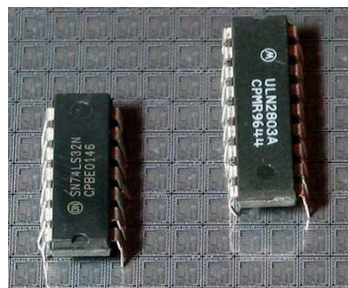
Pierwszy układ scalony



Technologia planarna



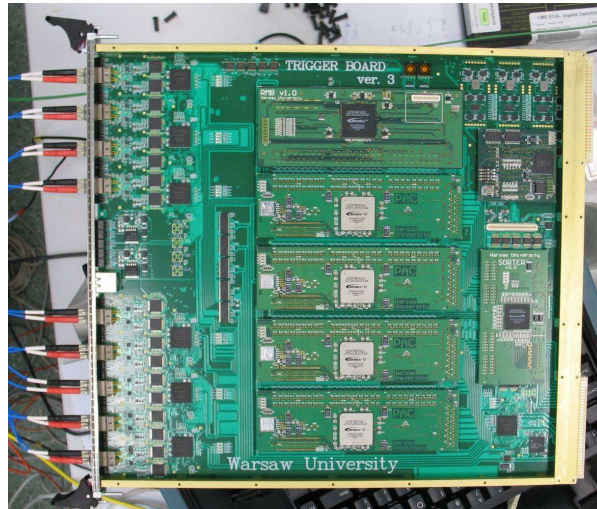
Funkcja układu scalonego określona
w trakcie konstruowania i produkcji



RPC PACT (TC i TB)



Dzieło Maćka
Kudły & co.

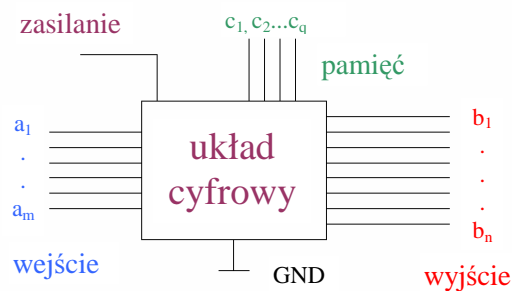


Układ cyfrowy posiada: m wejść, n wyjść i q stanów pamięciowych

Wektory a , b , czy c =====> słowa logiczne

Bit: element podstawowy słowa logicznego

Bajt: słowo ośmiobitowe



- Stan słowa wyjściowego zależy od aktualnego stanu słowa wejściowego
- Stan słowa pamięci zależy zarówno od aktualnego stanu słowa wejściowego oraz od stanu słowa poprzednio zapamiętanego

Układy cyfrowe wykonują określone funkcje logiczne

Działanie układów cyfrowych opisuje dwuwartościowa algebra Boole'a

(logika matematyczna)

Urządzenia elektroniczne realizujące funkcje logiczne nazywamy **bramkami**

(wytwarzane jako monolityczne układy elektroniczne)

PODSTAWOWE FUNKTORY LOGICZNE <=> BRAMKI LOGICZNE

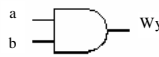
OR



a	b	Wy
1	1	1
1	0	1
0	1	1
0	0	0

$$Wy = a + b$$

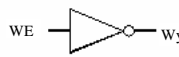
AND



a	b	Wy
1	1	1
1	0	0
0	1	0
0	0	0

$$Wy = a * b$$

NOT



WE	Wy
1	0
0	1

$$Wy = \overline{WE}$$

Poziomom elektrycznym H i L układu cyfrowego odpowiadają wartości logiczne:

1, 0

prawda, fałsz

Podstawowe twierdzenia i tożsamości algebry Boole'a

(1) $x * 0 = 0$

Prawa przemienności

$$x + y = y + x$$

$$x * y = y * x$$

(2) $x * 1 = x$

Prawa łączności

$$x + (y + z) = (x + y) + z = x + y + z$$

$$x * (y * z) = (x * y) * z = x * y * z$$

(3) $x * x = x$

(4) $x * \bar{x} = 0$

Prawa rozdzielności:

$$x * (y + z) = x * y + x * z$$

$$(x + y) * (w + z) = x * w + y * w + x * z + y * z$$

$$\text{stąd: } (x + y) * (x + z) = x + y * z$$

(5) $x + 0 = x$

(6) $x + 1 = 1$

(7) $x + x = x$

(8) $x + \bar{x} = 1$

Inne tożsamości:

$$\overline{(\bar{x})} = x$$

$$x + x * y = x$$

$$x + \bar{x} * y = x + y$$

$$x * y + \bar{x} * y = y \quad (\text{przydatne przy minimalizacji funkcji!})$$

dowód: $x + x * y = x * (1 + y) = x * 1 = x$

$$(x + y) * (\bar{x} + y) = y$$

Prawa de Morgana:

$$\overline{a + b} = \overline{a} * \overline{b}$$

$$\overline{a * b} = \overline{a} + \overline{b}$$

warto zapamiętać !!!

Najbardziej uniwersalne bramki: **NAND** (NOT-AND)



a	b	WY
1	1	0
1	0	1
0	1	1
0	0	1

NOR (NOT-OR)



a	b	WY
1	1	0
1	0	0
0	1	0
0	0	1

Podstawowe twierdzenie logiczne:

Każdą funkcję logiczną można złożyć z kombinacji trzech podstawowych działań logicznych: alternatywy (OR), koniunkcji (AND) oraz negacji (NOT).



Każdą funkcję logiczną można utworzyć z pewnej kombinacji **tylko** bramek NAND lub **tylko** bramek NOR

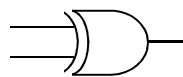
Układy logiczne:

- **kombinatoryczne** - stan wyjść określony jednoznacznie przez stan wejść
- **sekwencyjne** - odpowiedź zależy od stanu układu przed pobudzeniem

Exclusive OR

(różnica symetryczna)

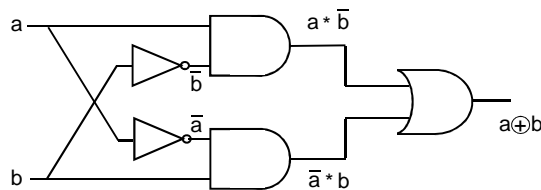
Jedna z bardziej użytecznych funkcji (bramek) logicznych



EX-OR

$$a \oplus b = \overline{a} * b + a * \overline{b}$$

a	b	WY
0	0	0
1	0	1
0	1	1
1	1	0



Logika dodatnia i logika ujemna

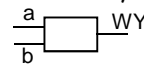
Poziomom elektrycznym H i L układu cyfrowego odpowiadają wartości logiczne:

logika dodatnia: H=„1” (prawda) i L=„0” (fałsz)

logika ujemna: H=„0” (fałsz) i L=„1” (prawda)

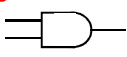
Zmiana funkcji logicznej danej bramki w przypadku zmiany rodzaju logiki:

Bramka fizyczna



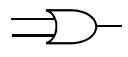
a	b	WY
L	L	L
L	H	L
H	L	L
H	H	H

logika dodatnia



a	b	WY
0	0	0
0	1	0
1	0	0
1	1	1

logika ujemna



a	b	WY
1	1	1
1	0	1
0	1	1
0	0	0


LOGIKA	
dodatnia	ujemna
AND	OR
OR	AND
NAND	NOR
NOR	NAND

TABLICE KARNAUGH'a - podstawowe pojęcia

Tablice Karnaugh'a to sposób przedstawienia funkcji logicznej

Przykład:
funktor logiczny AND

$f(a,b) = a \wedge b$



Truth Table

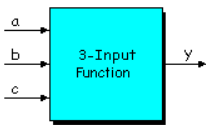
a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

Karnaugh Map

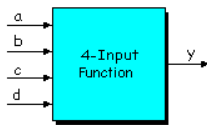
		ab			
		00	01	11	10
c	0			1	
	1				

Każdej linii Tabeli Prawdy odpowiada komórka w tablicy Karnaugh'a

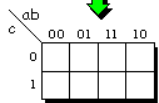
Sekwencję adresów komórek opisuje kod Graya: śsiednie adresy różnią się pojedynczym bitem

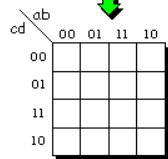


3-Input Function



4-Input Function

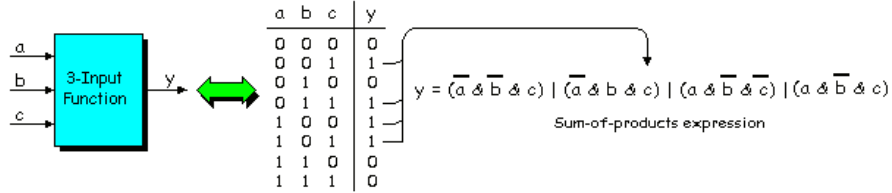




Zasada tworzenia tablic Karnaugh'a dla funkcji logicznych trzech lub czterech argumentów

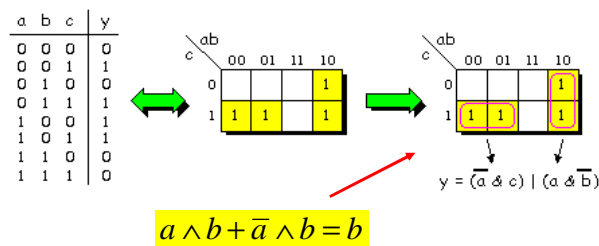
TABLICE KARNAUGH'a - minimalizacja funkcji logicznych

Funkcja logiczna określona na podstawie Tabeli Prawdy:

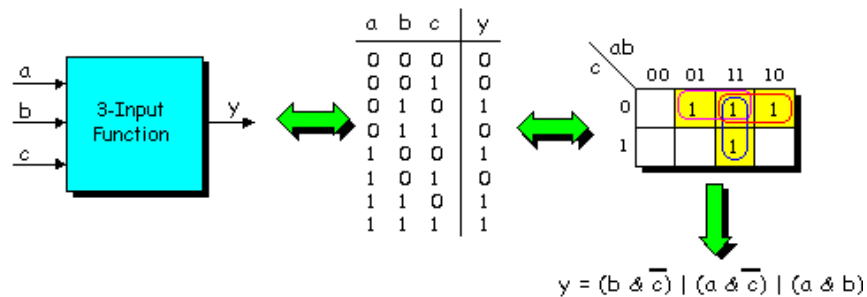


Ta sama funkcja logiczna **zminimalizowana**

metodą graficznej analizy Tablicy Karnaug'a (metoda grupowania par)



Inny przykład minimalizacji funkcji 3-wejściowej:



Reguły (wybrane) minimalizacji funkcji 4-wejściowej

	ab	00	01	11	10
cd	00	1			
	01	1			
	11	1			
	10	1			

$$y = (\bar{a} \& b)$$

	ab	00	01	11	10
cd	00				
	01				
	11				
	10	1	1	1	1

$$y = (c \& \bar{d})$$

	ab	00	01	11	10
cd	00			1	
	01	1	1	1	1
	11			1	
	10			1	

$$y = (a \& b) \mid (\bar{c} \& d)$$

	ab	00	01	11	10
cd	00				
	01	1	1		
	11	1	1		
	10				

$$y = (\bar{a} \& \bar{d})$$

	ab	00	01	11	10
cd	00	1	1		
	01	1	1		
	11	1			
	10	1			

$$y = (\bar{a} \& b) \mid (b \& \bar{c})$$

	ab	00	01	11	10
cd	00				
	01		1	1	
	11	1	1	1	
	10			1	1

$$y = (b \& \bar{d}) \mid (a \& c)$$

Reguły (wybrane) minimalizacji funkcji 4-wejściowej c.d.

	ab	00	01	11	10
cd	00		1		
	01				
	11				
	10				1

$$y = (\bar{a} \& b \& \bar{d})$$

	ab	00	01	11	10
cd	00				
	01	1			1
	11				
	10				

$$y = (\bar{b} \& c \& d)$$

	ab	00	01	11	10
cd	00		1	1	
	01				
	11				
	10		1	1	

$$y = (b \& \bar{d})$$

	ab	00	01	11	10
cd	00	1		1	1
	01	1			1
	11				
	10				1

$$y = (\bar{b} \& \bar{c}) \mid (a \& b \& \bar{d})$$

	ab	00	01	11	10
cd	00	1	1		
	01				
	11	1			1
	10	1	1		1

$$y = (\bar{a} \& \bar{d}) \mid (\bar{b} \& c)$$

	ab	00	01	11	10
cd	00	1			1
	01				
	11				
	10	1			1

$$y = (\bar{b} \& \bar{d})$$

Minimalizacja funkcji logicznej określonej w sposób niepełny

? := „nie ma znaczenia”

	ab			
cd	00	01	11	10
00	1	?	1	1
01				
11		?	?	?
10	?		1	1



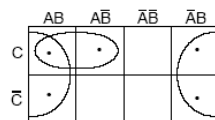
$$y = (\bar{c} \& \bar{d}) \vee (a \& c)$$

Przykład: implikacja $f(a,b) := a \Rightarrow b$

Przykład minimalizacji funkcji

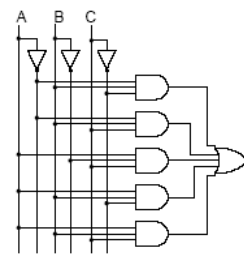
A	B	C	Q
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

a)



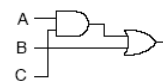
$$\bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}C + ABC$$

b)

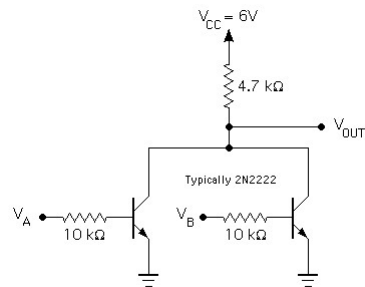


c)

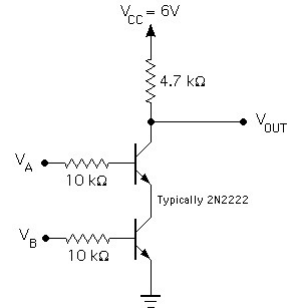
Układ „zminimalizowany”



Resistor-Transistor Logic - RTL

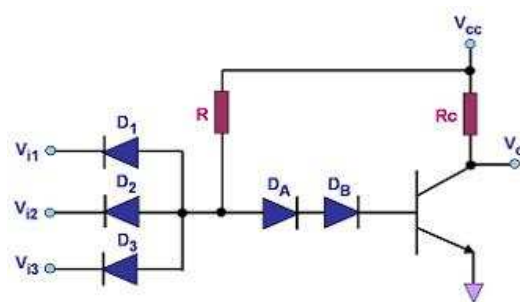


dwujęściowa bramka NOR



dwujęściowa bramka NAND

Diode-Transistor Logic - DTL



Trzywjęściowa bramka NAND

Transistor-Transistor Logic - TTL

dwujęściowa bramka NAND

miniaturyzacja !!!

Układ 74F00 - cztery dwujęściowe bramki NAND

$Y = \overline{AB}$

Układ elektroniczny realizujący funkcję logiczną:
„NAND dwóch argumentów”

Dane techniczne:
katalog producenta

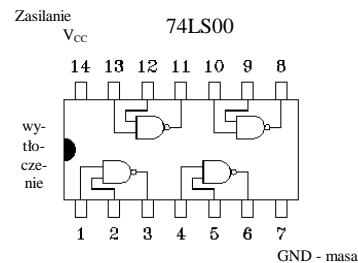
Z bramek cyfrowych (bramek logicznych) tworzymy złożone układy elektroniczne

Grupy bramek cyfrowych tworzą tzw. rodziny

Przykład: **rodzina TTL** (Transistor - Transistor Logic), a w niej **seria 74**

Przedstawiciel:

układ scalony typu 74xx00 - cztery bramki NAND
(xx oznacza rodzaj bramki: S-szybka,
LS-szybka małej mocy,
.....)



Zasilanie układu: VCC i GND

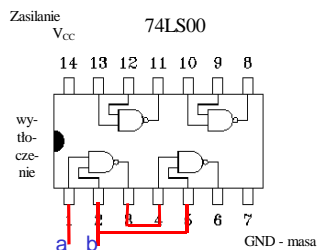
- Układ scalony działa (realizuje funkcje logiczne) po podłączeniu zasilania
- Wejścia i wyjścia bramek wyprowadzone są na zewnętrzne „nóżki” układu scalonego.
- Poziomy logiczne określone są przez wartość napięcia między wejściami i wyjściami a GND

Inne układy z tej serii: 7402 - cztery bramki NOR, 7440 - 8-wejściową bramkę NAND itd.

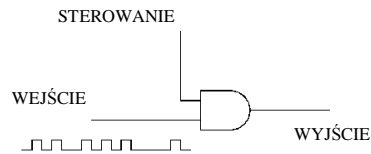
Patrz: katalog układów TTL na stronach internetowych Pracowni Elektronicznej

Zasady budowania elektroniki z układami TTL serii 74 :

- układy zasilają się napięciem 5 ± 0.25 V;
- układy pracują w logice dodatniej;
- napięcie odpowiadające logicznemu zeru zawiera się między 0 a 0.4 V z dopuszczalnym marginesem błędów 0.4 V;
- napięcie odpowiadające logicznej jedynce wynosi 3.3 V lecz nie mniej niż 2.4 V z marginesem błędów 0.4 V;
- wejście bramki niepołączone znajduje się w stanie logicznym „1”;
- **wyjść bramek nie wolno łączyć równolegle!!! Może to spowodować uszkodzenie;**
- średni czas propagacji sygnału przez bramkę wynosi od 1 do 30 ns (typowo - około 10 ns);
- średnie zużycie mocy przez bramkę wynosi około 10 mW;



Bramka AND do sterowania przepływem informacji

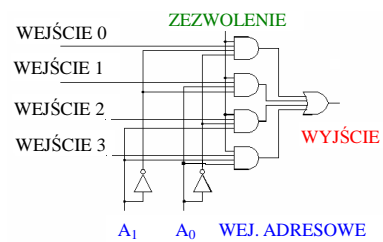


Impulsy wejściowe pojawiają się na wyjściu wtedy i tylko wtedy, gdy na wejściu sterującym istnieje stan logiczny „1”

multipleksery i demultipleksery - kontrola przepływu informacji

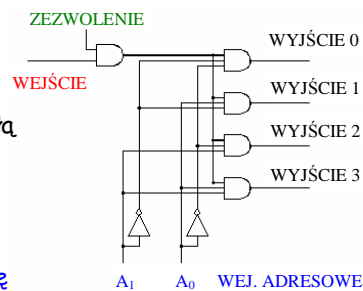
multipleksers:

zamiana informacji z równoległej na szeregową



demultipleksers:

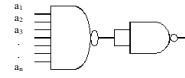
zamiana z informacji z szeregowej na równoległą



Każde z tych urządzeń wykonuje swoją funkcję tylko wtedy, gdy wejście „zezwoleń” znajduje się w stanie logicznym „1”.

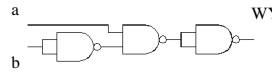
Użyteczne schematy:

Wielowejsiowa funkcja AND - układ koincydencyjny
 Wartość logiczna „1” pojawia się na wyjściu wtedy i tylko wtedy, gdy stan logiczny wszystkich wejść wynosi „1”



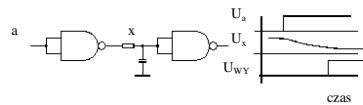
Układ antykoincydencyjny

$$f = a * \bar{b}$$

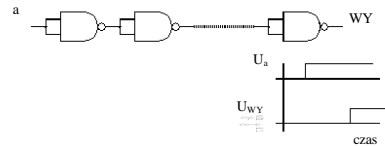


Układ opóźniający

1. opóźnienie jest zależne od stałej czasowej RC

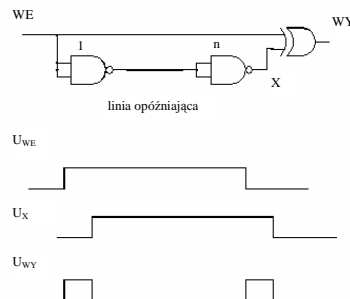


2. opóźnienie zależne od liczby bramek oraz czasu propagacji sygnału przez pojedynczą bramkę.



Cyfrowy układ różniczkujący

- wytwarzający sygnały w chwilach rozpoczęcia i zakończenia sygnału wejścia
- Gdy liczba bramek (n) w linii opóźniającej jest nieparzysta, sygnał wyjściowy ma odwróconą polaryzację.

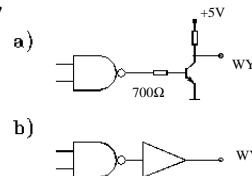


Ograniczenie obciążenia wyjścia bramki logicznej!

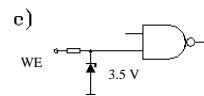
Każdy układ cyfrowy ma określoną obciążalność, czyli liczbę mówiącą ile wejść cyfrowych może być podłączonych do danego wyjścia lub jaki największy prąd może przepłynąć przez wyjście.

Gdy układ cyfrowy ma sterować innym układem należy postąpić się

- wzmacniaczem np. tranzystorowym (a)
- lub **driverem (b)** - wzmacniaczem zwiększającym obciążalność wyjścia bramki



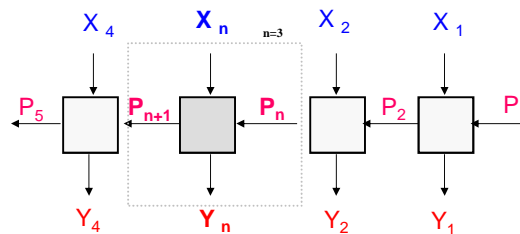
Gdy do układu cyfrowego wprowadza się sygnał sterujący z zewnątrz, należy zadbać o zachowanie standardowych napięć i polaryzacji



np. za pomocą diody Zenera

- ograniczamy maksymalne napięcie na wejściu bramki (3.5 V),
- ograniczamy poziom napięcia o odwróconej polaryzacji do -0.7 V

Układy arytmetyczne (układy iteracyjne)



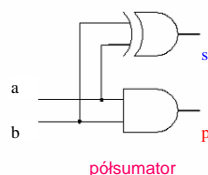
Słowo logiczne: liczba zapisana w danym kodzie binarnym.

Na przykład: słowo (1011) = liczba 11 = $1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0$

Układy cyfrowe → operacje arytmetyczne na liczbach (słowach logicznych)

Półsumator - układ dodający dwie liczby jednobitowe a i b

Wynik: liczba dwubitowa - suma s i przeniesienie p



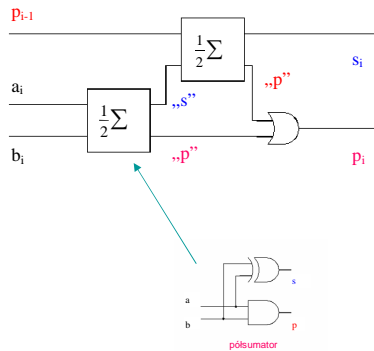
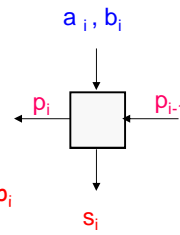
s - funkcja EXOR
p - funkcja AND

a	b	s	p
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

Sumator jednobitowy

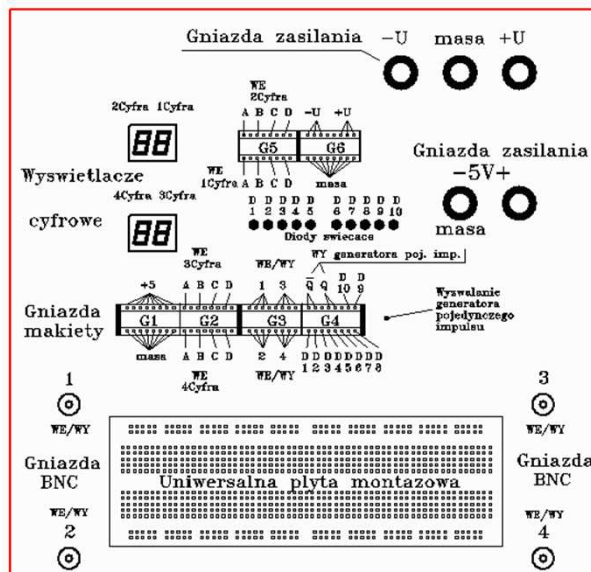
Układ iteracyjny:

- sumowanie a_i i b_i na i -tej pozycji
- uwzględnia przeniesienie z pozycji P_{i-1}
- generuje sumę S_i i przeniesienie na pozycję następną P_i

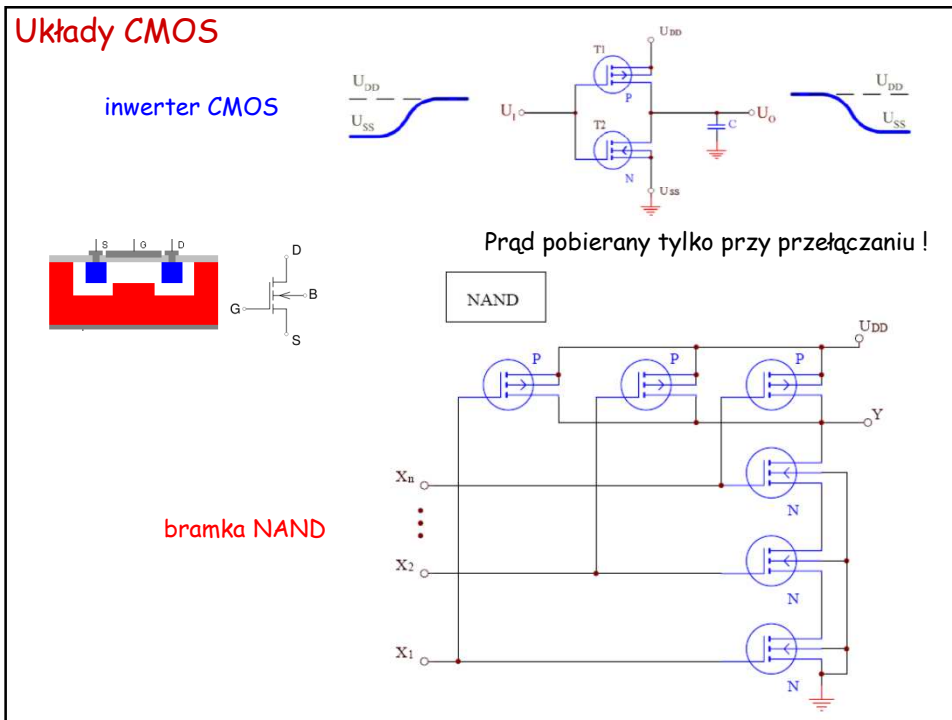


a_i	b_i	P_{i-1}	S_i	P_i
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
0	0	1	1	0
1	1	0	0	1
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Makieta uniwersalna do ćwiczenia: CYFROWE UKŁADY SCALONE



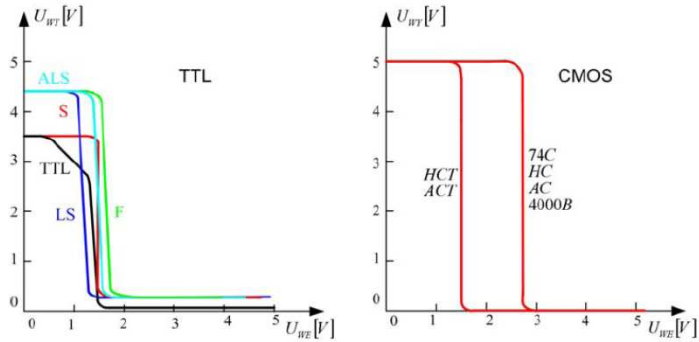
Płyta czołowa makiety uniwersalnej



Zestawienie podstawowych parametrów rodzin TTL i CMOS.

Parametr	Rodzina TTL			Rodzina CMOS			
	LS	ALS	F	4000B 74C	HC HCT	AHC AHCT	AC ACT
Napięcie zasilające U_{cc} [V]	5±5%	5±10%	5±5%	3 - 18	2 - 6	2 - 5,5	2 - 6
Moc strat na bramkę w stanie statycznym P_{typ} [mW]	2	1	5,5	0,001	0,0025	0,0025	0,0025
Czas propagacji t_{prop} [ns] przy $C_i = 50$ pF	9	5	3,5	125	8	5,2	3
Maksymalna częstotliwość pracy f_{max} [MHz]	33	50	150	4	50	115	160
Prąd wyjściowy $I_{OH max}$ [mA] przy $U_{OH min}$	0,4	0,4	1	2,1 przy 2,5V	6 przy 4,5V	8 przy 4,5V	24 przy 3,8V
Prąd wyjściowy $I_{OL max}$ [mA] przy $U_{OL max}$	-8	-8	-20	-0,44 przy 0,4V	-6 przy 0,4V	-8 przy 0,4V	-24 przy 0,4V
Prąd wejściowy $I_{IH max}$ [μ A]	20	20	20	0,1	1	1	1
Prąd wejściowy $I_{IL max}$ [μ A]	400	200	600	0,1	1	1	1
Margines zakłóceń M_{min} [V]	0,3	0,4	0,3	0,3 U_{cc}	0,28 U_{cc} : 1,25V przy $U_{cc}=4,5V$ oraz 1,4V przy $U_{cc}=5,0V$		

Parametry układów CMOS i TTL zasilanych napięciem $U_{cc}=5V$



Charakterystyki przejściowe układów CMOS oraz TTL

Technologia izolacji złączowej z domieszkowaniem złotem		Technologia izolacji złączowej z diodami Schottky'ego		Technologia izolacji tlenkowej z diodami Schottky'ego	
Standardowa	S Schottky'ego	LS Schottky'ego małej mocy	F FAST	ALS ulepszona LS	AS ulepszona S

Pełną zgodność końcówkową, oznaczeniową i funkcjonalną z układami TTL mają układy CMOS z szybkich rodzin HC (High-speed CMOS), AHC (Advanced HC) i AC (Advanced CMOS)