

Indywidualna Pracownia Elektroniczna

Ćwiczenie 4 – Układy cyfrowe

2019/20

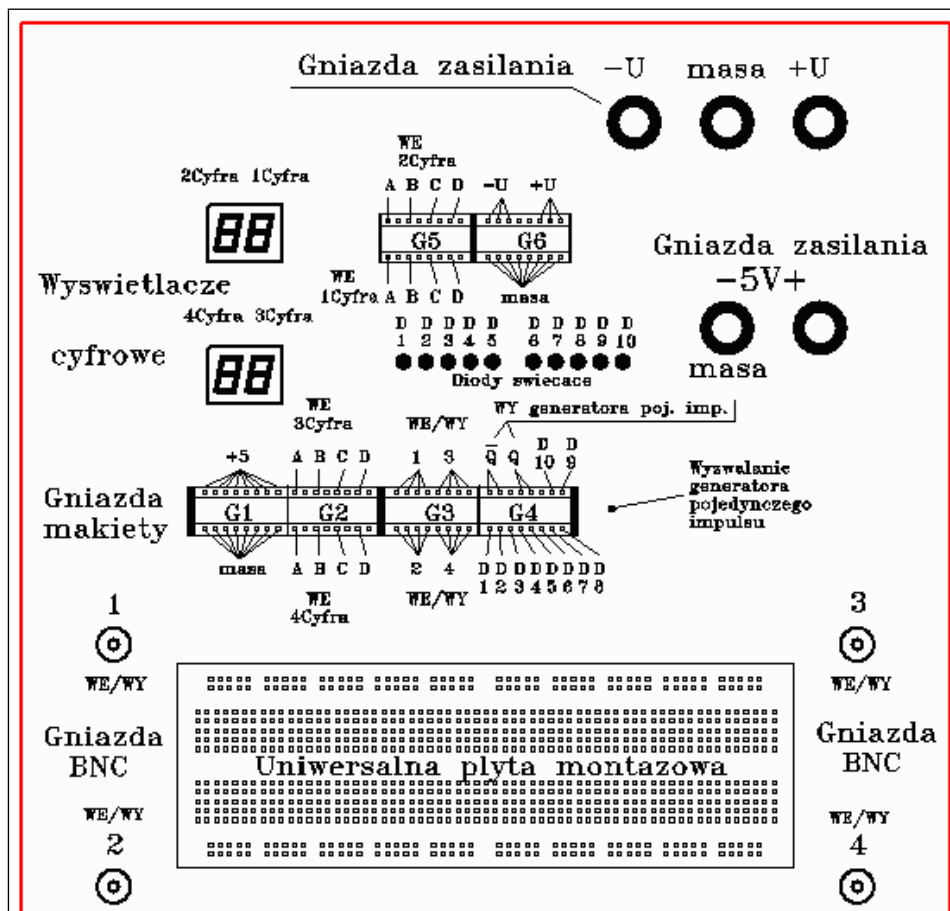
Na podstawie istniejących materiałów Pracowni Elektronicznej opracował Piotr Fita, 2019

Celem ćwiczenia jest zapoznanie się z podstawami techniki cyfrowej, zbadanie zachowania podstawowych układów scalonych zawierających bramki logiczne i przerzutniki oraz samodzielne zaprojektowanie i zbudowanie bardziej złożonego układu.

Podstawowe zasady:

1. Ćwiczenie wykonuje się na uniwersalnej mackiecie pozwalającej montować układy elektroniczne bez użycia połączeń lutowanych.
2. Podłączając układy scalone należy pamiętać o poprawnym podłączeniu ich zasilania. Układ bez podłączonego zasilania nie będzie działał, a po podłączeniu zasilania z odwrotną polaryzacją ulegnie uszkodzeniu.
3. W układach TTL niepodłączone wejście jest w stanie wysokim. W układach CMOS stan niepodłączonego wejścia jest nieustalony. Ponieważ wykorzystujemy zarówno układy TTL jak i CMOS najbezpieczniej jest podłączać każde wejście do odpowiedniego poziomu napięcia.

Makieta:



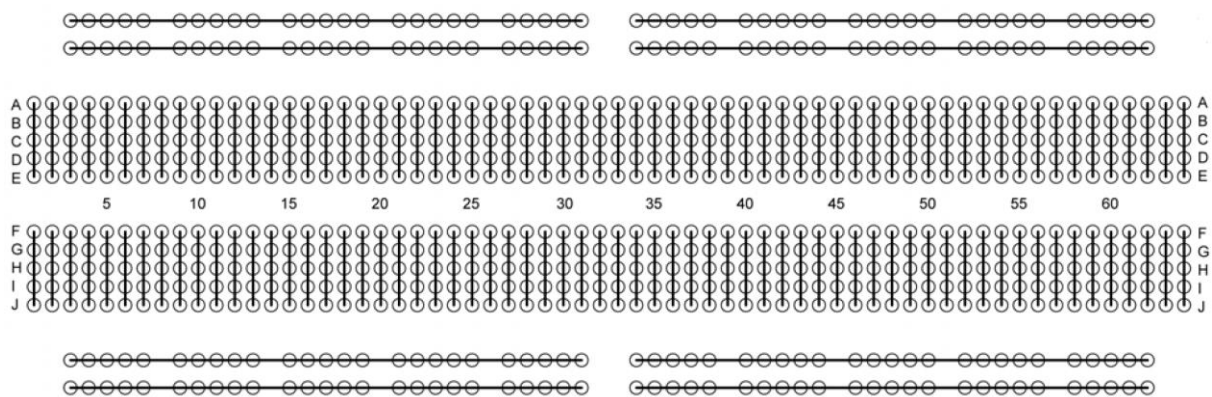
Rys. 1 Płyta czołowa uniwersalnej mackiety

Makieta pracuje prawidłowo po doprowadzeniu do jej zacisków, oznaczonych symbolami (+ 5V -) napięcia ($5 \pm 0,25$) V z zewnętrznego zasilacza. Przed podłączeniem makiety do zasilacza należy za pomocą woltomierza sprawdzić wartość napięcia na zaciskach zasilacza. Prawidłowe zasilanie makiety sygnalizuje świecenie diod $D_1 \dots D_{10}$.

Umieszczone na makiecie montażowej gniazda G_1 - G_4 spełniają następującą rolę:

- Gniazdo G_1 podaje napięcie zasilające (+5V) i masę układu.
- Gniazda G_2 i G_5 dekodera BCD obsługują dwa wyświetlacze cyfrowe. Odpowiednie cyfry dziesiętne w kodzie BCD (Binary Coded Decimal 8421) wyświetlane są na wyświetlaczu cyfrowym po podaniu na jego wejścia słowa czterobitowego (wejścia A, B, C, D).
- Gniazdo G_3 obsługuje cztery koncentryczne gniazda wejścia/wyjścia typu BNC.
- Gniazdo G_4 służy do detekcji stanów logicznych. Stany te po doprowadzeniu do wejść diod świecących $D_1 - D_{10}$ wyświetlane są na makiecie zgodnie z konwencją logiczną: „0” logiczne = dioda nie świeci, „1” logiczna = dioda świeci. Należy jednak zauważyć, że zgodnie ze standardem TTL, niepodłączone wejście układu cyfrowego jest rozumiane jako logiczna „1” i powoduje także świecenie diody.
- Wyjścia Q oraz $\sim Q$ (zaprzeczenie Q) gniazda G_4 są wyjściami ręcznie wyzwalanego generatora impulsów pojedynczych. Po naciśnięciu przycisku „Wyzwalanie generatora pojedynczego impulsu”, na wyjściu Q pojawi się pojedynczy przebieg w standardzie TTL o postaci: „ \square ”, a jednocześnie na wyjściu $\sim Q$ impuls „ \square ”.
- Dodatkowe trzy gniazda zasilające (-U, +U, masa) służą do doprowadzenia napięć poza standardem TTL.

Montażu układów elektronicznych dokonuje się na uniwersalnej płytce montażowej, na której umieszcza się układy scalone, oporniki, kondensatory, diody itp. Połączenie elementów elektronicznych zgodnie z zaprojektowanym schematem wykonuje się za pomocą zewnętrznych kabelków zakończonych cienkimi końcówkami lub wykorzystując już przygotowane wewnętrzne połączenia w makiecie. Za pomocą kabelków doprowadza się do układów napięcie zasilające z gniazd makiety oraz podłącza odpowiednie wejścia / wyjścia (np. generator, oscyloskop). Układ połączeń wewnętrznych na płytce montażowej zaznaczony jest na rys. 2.



Rys. 2. Układ połączeń wewnętrznych płytki montażowej. Czarne linie pokazują, które grupy otworów są połączone ze sobą.

Część wykonawcza

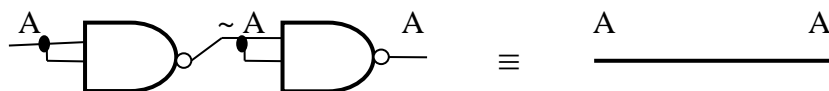
Głównym celem ćwiczeń jest zbudowanie stopera opisanego w punkcie VIII części wykonawczej tej instrukcji. **Po ćwiczeniach I i II studenci muszą przygotować projekt stopera i przynieść go na ćwiczenia III, podczas których będą go budować.** Po III ćwiczeniu studenci przygotowują sprawozdania zawierające **tylko** projekt stopera i opis prac przeprowadzonych podczas jego budowania i uruchamiania.

Układy w ćwiczeniach należy projektować tak, by do realizacji funkcji wykorzystać możliwie najmniejszą liczbę układów scalonych – czyli doprowadzić funkcję do postaci minimalnej. Można uzyskać to metodą przekształceń algebraicznych lub metodą graficzną tablic Karnaugh. W projekcie można posługiwać się układami scalonymi o różnej liczbie wejść, ale najczęściej będą to podstawowe bramki typu NAND, NOR, invertory NOT oraz bramki EXCLUSIVE OR.

Pracę rozpoczynamy od narysowania schematu blokowego i napisania tabelki prawdy dla poszczególnych bloków. Następnie rozwijamy schemat blokowy na schemat logiczny realizowany na elementach NAND (lub innych podanych w założeniach zadania) z zastosowaniem zasad minimalizacji. Zaczynamy uruchamianie zbudowanego układu wykorzystując diody LED z makiety jako pomocnicze wyświetlacze stanów binarnych. Przed przystąpieniem do budowania układu należy narysować projekt, z naniesieniem pozycji układów scalonych na makiecie i podaniem konkretnych numerów „nózek” bramek wykorzystanych w połączeniach.

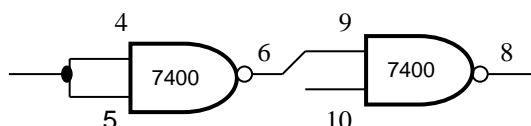
Skomplikowany projekt uruchamiamy metodą podziału na bloki - uruchamiamy na przykład blok licznika, blok dekodera, potem łączymy bloki i uruchamiamy całość. Na koniec dobudowujemy dodatkowe funkcje pozwalające na wstępne ustawienie zadanych wartości (SET) lub wyzerowanie układu (RESET).

Staramy się jeszcze „optycznie” zminimalizować powstałe po połączeniu układy pamiętając, że negacja negacji zmiennej daje zmienną pierwotną.



Do badania stanów wybranych punktów w układzie, przydatna może okazać się „sonda” – długi kabelek podłączony do wejścia kanału oscyloskopu (lub diody świecącej) ustawionego w modzie DC, którym dotykamy wybrane wejścia i wyjścia bramek.

Przykład: Podłączyć generator impulsów do nóżki 4 pierwszej bramki NAND, dotknąć sondą nóżki 5, 6 oraz 9, 10, 8 drugiej bramki NAND i oglądać na oscyloskopie, czy sygnały są zgodne z oczekiwaniami.



ĆWICZENIA

I. Zbadać tabelę prawdy dla dwu-wejściowych bramek NAND oraz NOR
(NAND = Not AND - UCY 7400; NOR = Not OR - UCY 7402).

X ₁	X ₂	Y
0	0	
0	1	
1	0	
1	1	

Ręcznie (podłączając przewody do otworów makiety) podawać sygnały "0" lub "1" na wejścia X₁ X₂ i obserwować diodę świecącą podłączoną do wyjścia bramki.

Następnie podłączyć na jedno z wejść periodyczny sygnał prostokątny z generatora a na drugie wejście ręcznie podawać "0" lub "1". Zaobserwować istotę działania „bramki” przepuszczającej lub blokującej impulsy.

UWAGA: sygnał fali prostokątnej z generatora powinien zawierać się w granicach "0" = (0 - 0.2 - 0.4) V, "1" = (2.4 - 3.4 - 5) V; wartości typowe wytłuszczono.

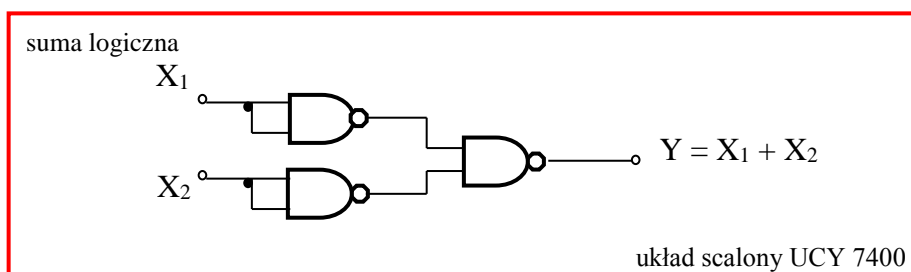
II. Zbudować z bramek NAND poniższe funkcje logiczne i zbadać tabelki prawdy.

Na schemat wpisać odpowiednie numery nóżek bramek.

Uwaga: Dwie pierwsze funkcje zostały przykładowo wykonane.

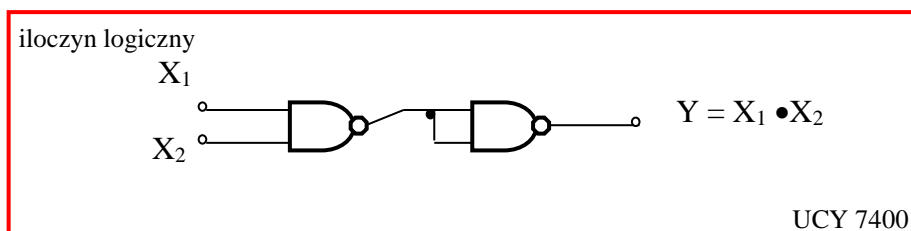
1) Suma logiczna

$$Y = X_1 + X_2$$



2) Iloczyn logiczny

$$Y = X_1 \cdot X_2$$



3) Implikacja [X₂ → X₁]

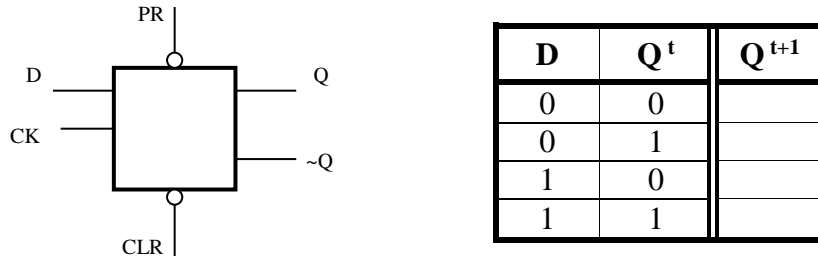
$$Y = X_1 + \sim X_2$$

4) Zakaz X_2 przez X_1 $Y = \sim X_1 \bullet X_2$

5) Suma *Exclusive Or* $Y = X_1 \bullet \sim X_2 + \sim X_1 \bullet X_2$

Uwaga: Funkcja ta realizowana jest bezpośrednio na układzie scalonym UCY 7486

III. Wypełnić tabelkę przejść dla przerzutnika typu „D” (układ scalony UCY 7474).

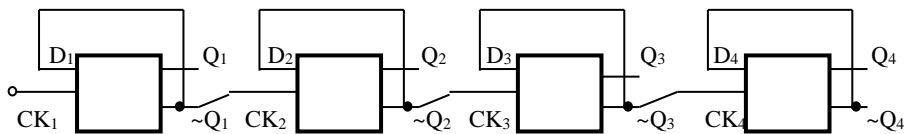


Wprowadzając dodatkowe sprzężenia zmienić przerzutnik „D” w przerzutnik „T”.

W przerzutniku „T” podłączyć do wejścia zegarowego (CK) impulsy periodyczne prostokątne z generatora i zaobserwować na oscyloskopie, które zbocze impulsu zegarowego jest aktywne i powoduje zmianę stanu wyjścia.

IV. Zbudować 4 bitowy licznik szeregowy na przerzutnikach typu „D” (UCY 7474).

1. Wpisać numery nóżek na schemacie. Na wejście podłączyć generator pojedynczych impulsów z makiety. Wyjścia Q z licznika podłączyć do wyświetlaczy na diodach.



Nr impulsu	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0

2. Następnie podłączyć na wejście zewnętrzny generator i zaobserwować przebiegi Q_1, Q_2, Q_3, Q_4 za pomocą oscyloskopu. Dobudować dodatkowe zerowanie licznika wykorzystując generator pojedynczych impulsów i asynchroniczne wejścia CLR (Clear) przerzutników.
3. Przerobić licznik na liczący „do tyłu” łącząc Q-CK (zamiast $\sim Q$ -CK) i zaobserwować zmianę stanów.
4. **Powrócić do poprzedniego układu licznika.**

Wskazówka 1:

Powyższy schemat obrazuje tylko połączenia kluczowe dla idei budowania licznika z połączonych szeregowo przerzutników. Rzeczywiste układy scalone (zwłaszcza wykonane w nowocześniejszej technologii CMOS) wymagają podłączenia również nieużywanych wejść, np. ustawiających i zerujących przerzutniki do stanu wysokiego – napięcia zasilania. Oczywiście należy również pamiętać o poprawnym podłączeniu zasilania układu scalonego.

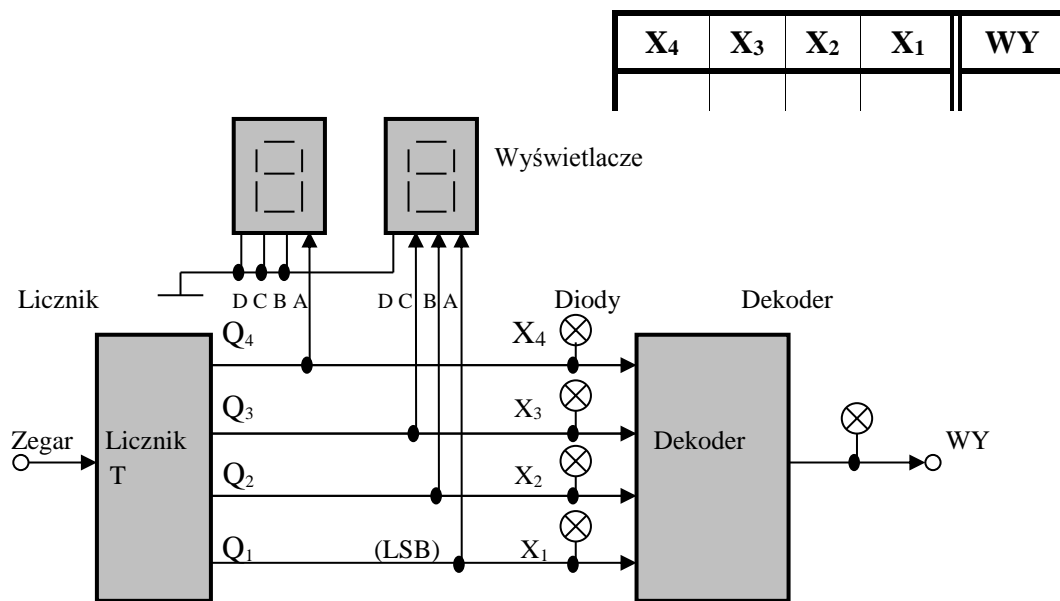
UWAGA: Nie rozłączać licznika po zakończeniu tego zadania. Wykorzystać wyjścia licznika Q_1, Q_2, Q_3, Q_4 jako zmienne wejściowe w następnych punktach ćwiczenia.

V. Zbudować na 2-wejściowych bramkach NAND cztero bitowy dekodery liczby 10.

Jako wejście na dekodery zastosować 4 bitowy licznik wykonany w poprzednim ćwiczeniu. Stany wejściowe na dekodery (z licznika) wyświetlić na diodach oraz podłączyć je do wyświetlacza BCD, zgodnie z podanym rysunkiem. Do wyjścia z dekodera podłączyć diodę świecącą.

Sprawdzić i zanotować wskazania w pełnym cyklu licznika na diodach i wyświetlaczu. Zapisać liczbę 10 binarnie i oktalnie.

Najpierw ułożyć tabelkę prawdy



Wskazówka 1

Najpierw uruchomić licznik. Przy podłączeniach wyjść licznika na wyświetlacze zwrócić uwagę na kolejność podłączanych bitów – od najmniej znaczącej pozycji *LSB* (Least Significant Bit) do najbardziej znaczącej pozycji *MSB* (Most SB).

Wskazówka 2

Do uruchamiania układu, jako wejście zegarowe licznika zastosować generator pojedynczego impulsu z makiety. Następnie podłączyć w to miejsce sygnał z generatora zewnętrznego o częstotliwości nie przekraczającej 10 Hz.

Wskazówka 3

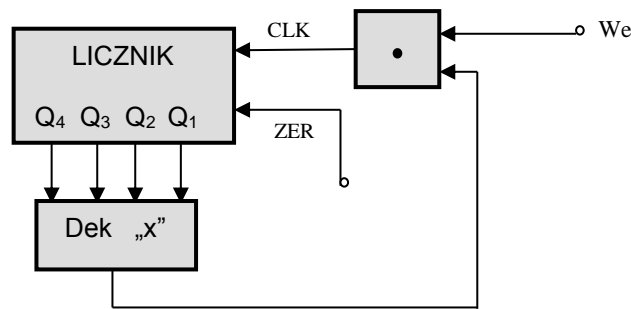
Wyświetlacz BCD w tym podłączeniu wyświetla liczbę binarną w systemie oktalnym. Grupując bity w triady ($2^3 = 8$) i odczytując liczby w każdej triadzie otrzymamy liczbę oktalnie.

binarnie : 101 111 001

oktalnie : 5 7 1

czyli $101111001_{(2)} = 571_{(8)}$

VI. Zbudować licznik liczący do liczby 10 i automatycznie zatrzymujący się.



UWAGA: Zmodyfikować poprzednie zadanie zgodnie z powyższym schematem.

Wskazówka 1

Automatycznie zatrzymujący się - czyli blokujący dalsze impulsy zegara.

Wskazówka 2

Do ponownego uruchomienia zablokowanego układu dobudować obwód powodujący zerowanie licznika po podaniu impulsu z generatora pojedynczego impulsu (przycisk na makiecie).

VII. Zbudować licznik modulo 10 czyli liczący „w kółko”.

UWAGA: Zmodyfikować poprzednie zadanie.

Wskazówka 1

Modulo 10 oznacza liczenie 0, 1, 2 ... 8, 9 → 0, 1,

Wskazówka 2

Wyjście z dekodera podłączyć do wejścia zerowania licznika.

VIII. Zaprojektować, narysować schemat ideowy (połączenia elementów logicznych, czyli bramek i przerzutników) oraz wykonawczy stopera (połączenia układów scalonych z numerami nóżek) i wykonać go z dostępnych w pracowni elektronicznej elementów – projekt zaliczeniowy.

Stoper powinien mieć następujące funkcje:

- Jeden przycisk realizujący Start/Stop/Zerowanie (dopuszczalne jest rozdzielenie funkcji Start/Stop i Zerowania tak, by wbudowany w makietę przycisk służył jako Start/Stop, a osobny przewód podłączany np. do masy służył do zerowania)
- Wyświetlacz dwucyfrowy liczący do 100 (wskazania wyświetlacza od 0 do 99 w kodzie dziesiętnym)

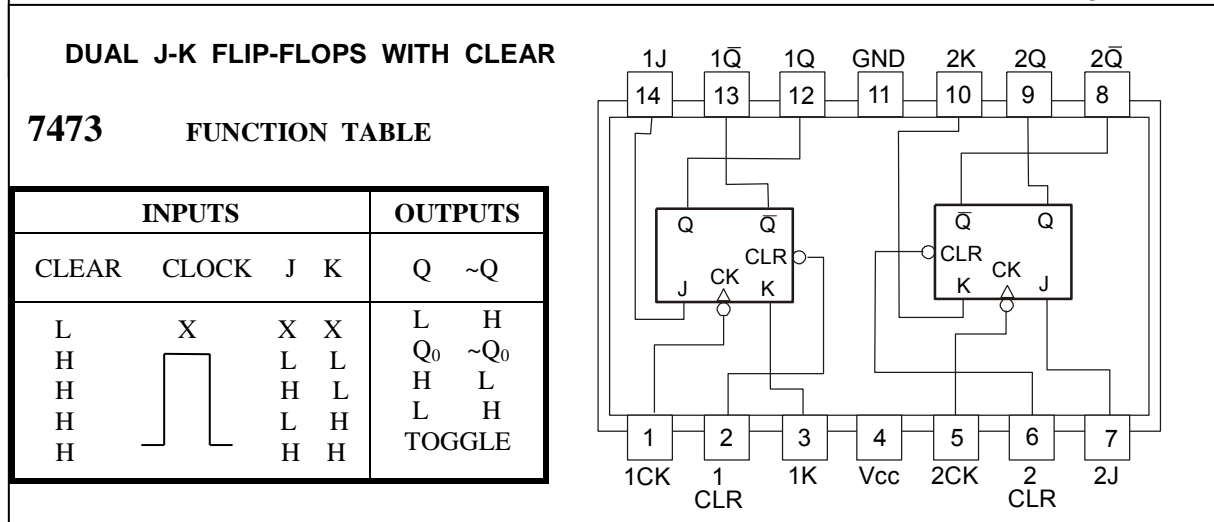
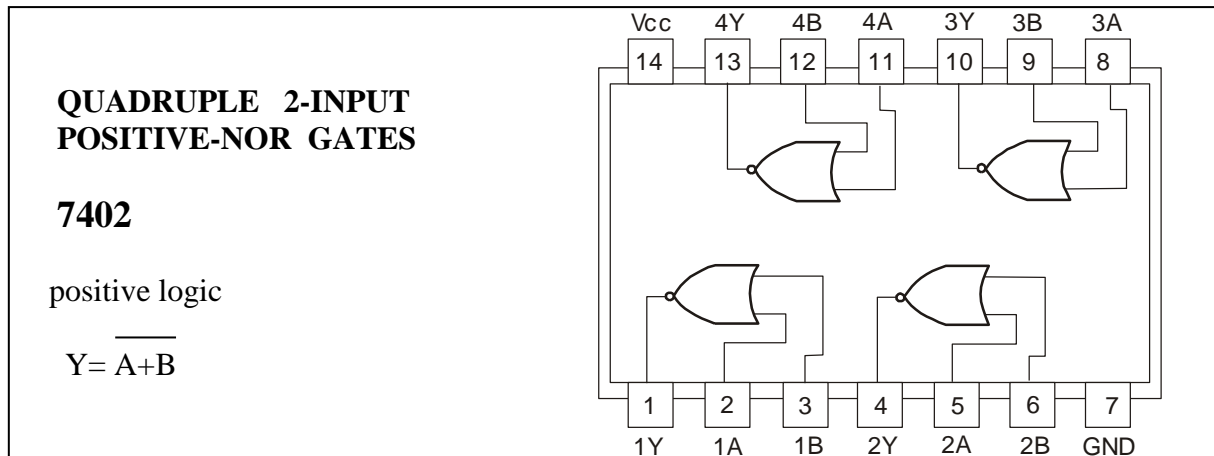
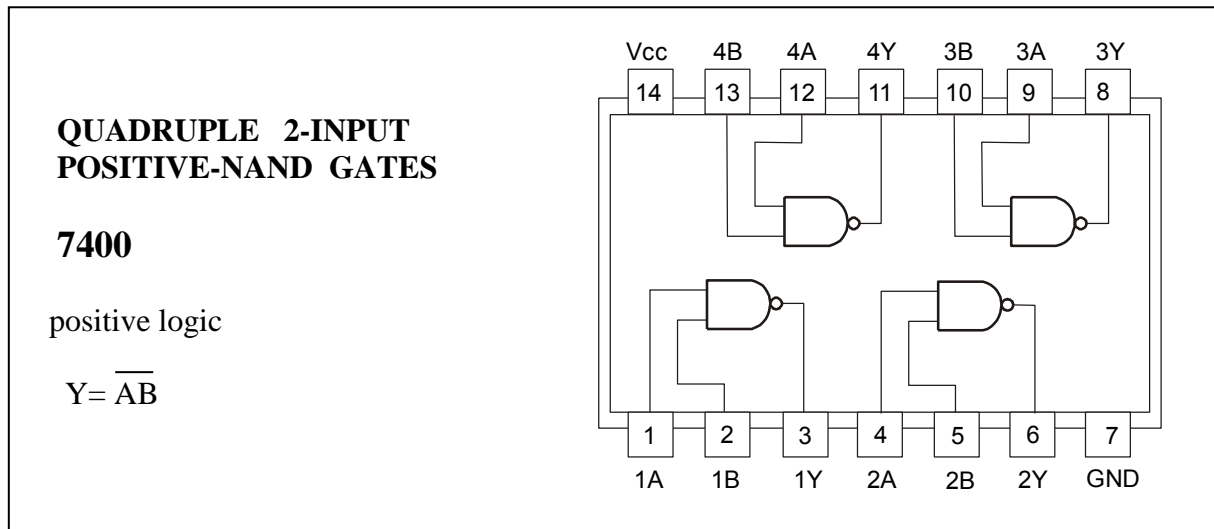
Wskazówka 1. Jako źródło sygnału zegarowego wykorzystać generator ustawiony na generację przebiegu prostokątnego o charakterystyce TTL (0-5V) i częstotliwości 1 Hz podłączony do makiety

Wskazówka 2. Zliczanie do 100 można uzyskać budując dwa bloki licznika do 10, czyli licznika wykrywającego liczbę 10 (jak w punkcie V) i zerującego licznik (jak w punkcie VII). Blok zliczający dziesiątki zlicza pojawianie się sygnału zerującego w bloku zliczającym jedności. Licznik do 10 najłatwiej zrealizować na układzie 7490.

Wskazówka 3. Funkcję Stop zrealizować wykorzystując bramkę blokującą przepływ sygnałów, jak w punkcie I, wykorzystując przerzutnik T zmieniający stan po każdym naciśnięciu przycisku Start/Stop.

SUPPLEMENT

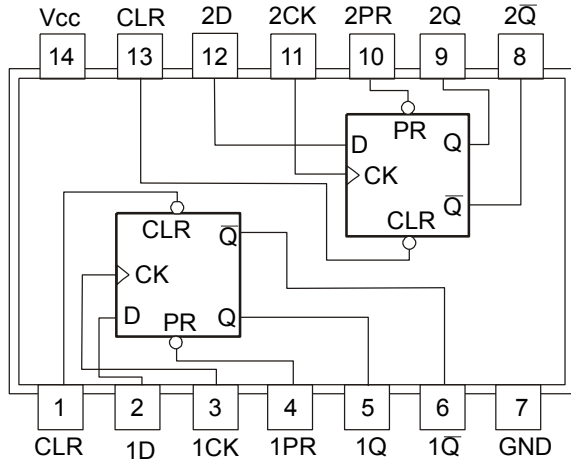
Uproszczone karty katalogowe układów scalonych serii 74xx badanych w ćwiczeniach :



DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR
7474 FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	~Q
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	~Q ₀

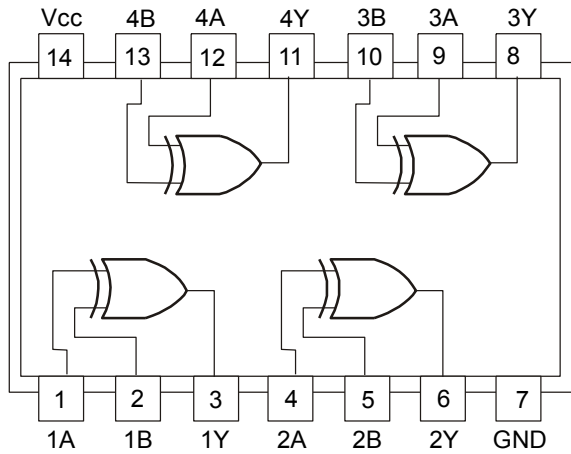
* This configuration is nonstable



QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES
7486 $Y = A \oplus B = \bar{A}B + A\bar{B}$

FUNCTION TABLE

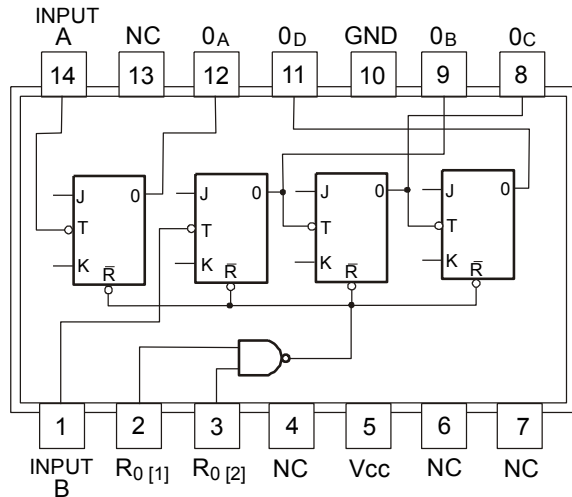
INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L



4-BIT BINARY COUNTERS

7493

DIVIDE-BY-TWO AND DIVIDE-BY-EIGHT



SPIS UKŁADÓW SCALONYCH SERII 74XX DOSTĘPNYCH W PRACOWNI:

00, 02, 03, 04, 06, 08, 10, 20, 30, 37, 40, 42, 47, 50, 53, 54, 60, 72, 74, 75, 83, 85, 86,
90, 92, 93, 107, 121, 123, 132, 145, 150, 151, 153, 155, 157, 174, 175, 180, 181, 192, 193

LITERATURA

1. Skrypt „Cyfrowe układy scalone” (Pracownia Elektroniczna)
2. J. Pieńkos, J. Turczyński „Układy scalone TTL w systemach cyfrowych”.
(WKŁ, Warszawa 1980)
3. T. Stacewicz, A. Kotlicki „Elektronika w laboratorium naukowym”. (PWN 1994)
4. W. Sasal „Układy scalone serii UCY 74 parametry i zastosowanie”.
(WKŁ, Warszawa 1985)
5. J. Kalisz „Cyfrowe układy scalone TTL i ich zastosowanie”
6. W. Anderson „Projektowanie układów z obwodami scalonymi TTL ”
7. Katalog układów “The TTL Data Book for Design Engineers”, Texas Instruments, 1981

* * * *

Opracowanie instrukcji (sierpień 2003) – Krzysztof Sulowski
Edycja wersji 2015/16 (kwiecień 2016) – Piotr Fita, Andrzej Grodzki
Edycja wersji 2019 (listopad 2019) – Piotr Fita

* * * *