

# Pracownia fizyczna i elektroniczna

## Wykład 5: Cyfrowe układy scalone II

**Kontakt:** [mkuich@fuw.edu.pl](mailto:mkuich@fuw.edu.pl)

**Materiały:** Pracownia fizyczna i elektroniczna (1100-2F23,1100-2BF21)

- kurs na platformie Kampus

# Układy sekwencyjne

# Układy sekwencyjne - przypomnienie

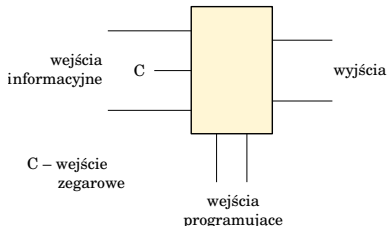
- W układzie sekwencyjnym stan wyjść zależy od stanu wejść oraz od poprzednich stanów układu:

$$b(t_n) = f[a(t_1), a(t_2), \dots, a(t_n)]$$

- Układy sekwencyjne dzielimy na:
  - ▶ układy asynchroniczne
  - ▶ układy synchroniczne
- W układach asynchronicznych sygnały wejściowe bezpośrednio oddziałują na stan wyjść
- W układach synchronicznych zmiana sygnału wyjściowego może nastąpić wyłącznie w określonych chwilach czasu, które wyznacza sygnał zegarowy (clock), nazywany też sygnałem taktującym lub wyzwalającym
- Podstawowymi elementami układów sekwencyjnych są przerzutniki

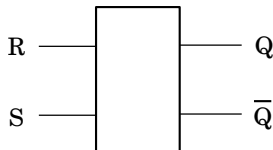
# Przerzutniki

- **Przerzutnik** (ang. *flip-flop*) - to układ sekwencyjny i najprostszy układ pamięciowy (przerzutnik zapamiętuje zmianę stanu logicznego wejścia)
- **Stan zapamiętania** - jest sygnalizowany zmianą stanu wyjścia
- Kasowanie stanu zapamiętania zachodzi:
  - ▶ przez podanie sygnału na wejście kasujące - przerzutnik bistabilny
  - ▶ samoistnie, po czasie założonym przez konstruktora - przerzutnik monostabilny lub przerzutnik astabilny
- Rozróżnia się następujące rodzaje wejść przerzutnika:
  - ▶ informacyjne
  - ▶ zegarowe
  - ▶ programujące

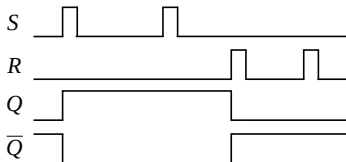


# Asynchroniczny przerzutnik RS

- Przerzutnik RS posiada dwa wejścia:
  - ▶  $S$  (Set) - wejście ustawiające
  - ▶  $R$  (Reset) - wejście zerujące
- Przerzutnik RS posiada dwa wyjścia:
  - ▶  $Q$  - wyjście zwykłe (główne)
  - ▶  $\bar{Q}$  - wyjście zanegowane (komplementarne)

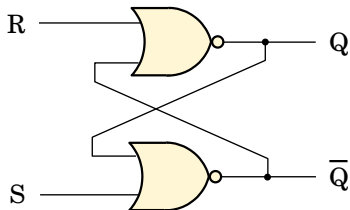


R	S	$Q_{n+1}$
0	0	$Q_n$
1	0	0
0	1	1
1	1	stan niedozwolony

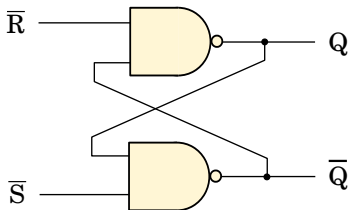


- Zmiany stanu na wyjściu pojawiają się wraz z pojawieniem się stanu 1 na wejściach  $S$  i  $R$  (sygnały nie powinny pojawiać się jednocześnie)
- Jednoczesne pojawienie się 1 na wejściach  $R$  i  $S$  powoduje wymuszenie na wyjściach obu bramek stanu zera ( $Q = 0$  i  $\bar{Q} = 0$ ) - narusza to założenie komplementarności wyjść przerzutnika i stan taki uznaje się za **niedozwolony**
- Po przywróceniu stanu  $R = 0$  i  $S = 0$  przerzutnik wprowadzony zostaje w stan pamiętania, przechowując ustawiony stan - przerzutnik zapamiętuje się elementarną porcję (1 bit) informacji

# Przerzutnik RS w oparciu o bramki NOR i NAND



R	S	$Q_{n+1}$
0	0	$Q_n$
1	0	0
0	1	1
1	1	stan niedozwolony



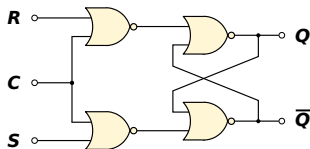
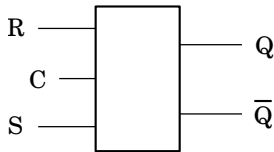
$\bar{S}$	$\bar{R}$	$Q_{n+1}$
0	0	stan niedozwolony
0	1	1
1	0	0
1	1	$Q_n$

# Synchroniczny przerzutnik RS (wyzwalany poziomem)

- Przerzutnik synchroniczny RS ma dodatkowe wejście C - sygnał taktujący (zegarowy, synchronizujący)
- Przerzutnik synchroniczny RS nazywany jest także **zatrzaskiem**
- Zmiana stanu przerzutnika następuje w chwilach wyznaczonych przez sygnał taktujący, gdy sygnał taktujący jest w stanie 1

Dla  $C = 1$  {

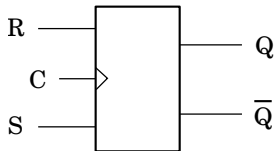
R	S	Q
0	0	stan pamiętania
1	0	0
0	1	1
1	1	stan niedozwolony



Dla  $C = 0$   
stan pamiętania

# Synchroniczny przerzutnik RS (wyzwalany zboczem)

- Działa prawie tak samo, jak synchroniczny przerzutnik RS wyzwalany poziomem
- Zmiana stanu przerzutnika następuje w chwilach wyznaczonych przez sygnał taktujący, gdy sygnał taktujący zmienia się ze stanu 0 na 1
- Umożliwia to wstępne przygotowanie sygnałów wejściowych i inicjację zmiany stanu przerzutnika po ustaleniu się tych stanów

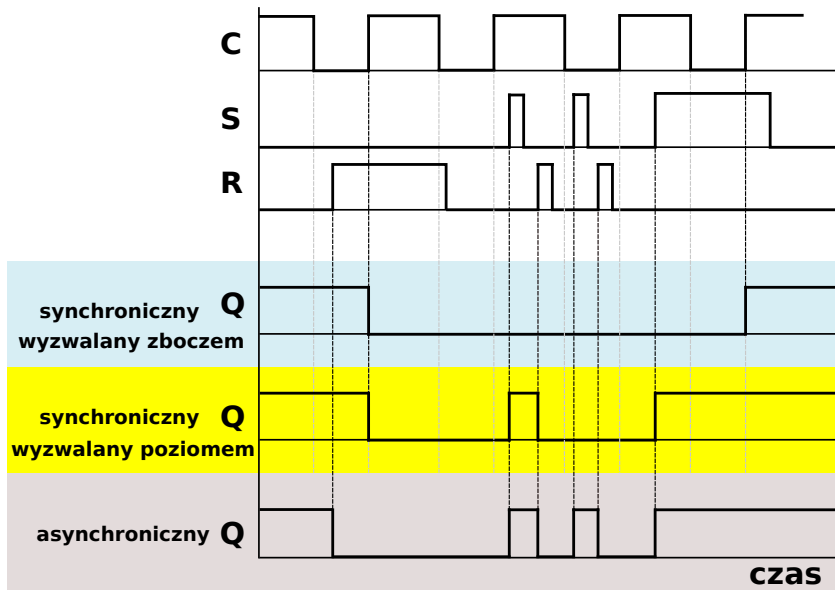


Dla narastającego  
zbocza sygnału  
taktującego C

R	S	Q
0	0	stan pamiętania
1	0	0
0	1	1
1	1	stan niedozwolony

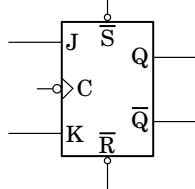


# Przerzutnik RS - przebiegi czasowe

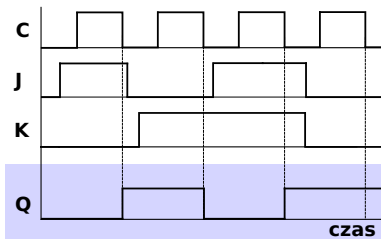


# Przerzutnik JK

- Wyprowadzenia przerzutnika JK:
  - ▶ wejścia informacyjne  $J$  i  $K$
  - ▶ wejścia asynchroniczne  $\bar{S}$  i  $\bar{R}$
  - ▶ wejście synchronizacji  $C$
  - ▶ standardowe wyjścia  $Q$  i  $\bar{Q}$
- Przerzutnik JK nie ma stanów wejściowych niedozwolonych - w przypadku jednoczesnego podania sygnałów 1 na wejścia  $J$  i  $K$ , stan przerzutnika zmienia się na przeciwny



J	K	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	$\bar{Q}_n$

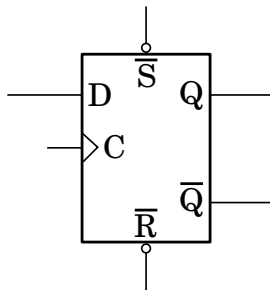


- ▶ Stan wyjściowy wywołany jest przez opadające zbocze impulsu zegara
- ▶ Stany na wejściach  $J$  i  $K$  muszą być ustalone przed pojawieniem się impulsu zegara
- ▶ Stany na wejściach  $J$  i  $K$  w chwili narastania zbocza impulsu zegara określają stan wyjścia wywołany przez najbliższe zbocze opadające

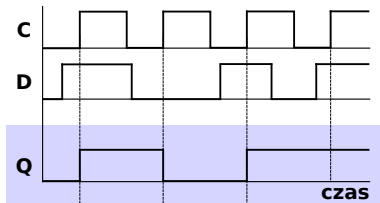
- Wejścia asynchroniczne działają w logice ujemnej i mają priorytet względem wejść synchronizującego i informacyjnego

# Przerzutnik D

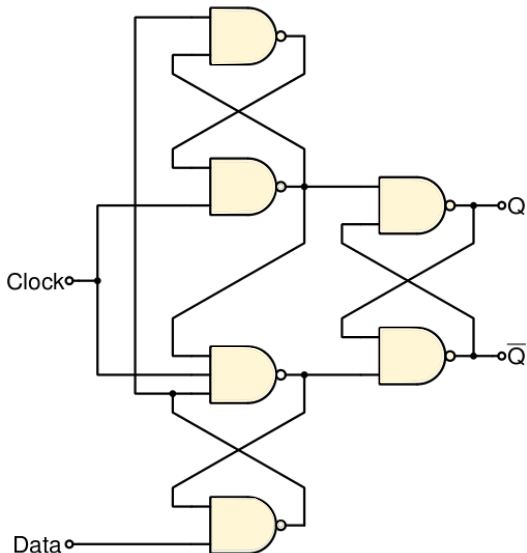
- Wprowadzenia przerzutnika D:
  - ▶ wejście informacyjne  $D$
  - ▶ wejścia asynchroniczne  $\bar{S}$  i  $\bar{R}$
  - ▶ wejście synchronizacji  $C$
  - ▶ standardowe wyjścia  $Q$  i  $\bar{Q}$
- Wyjście  $Q$  przyjmuje wartość logiczną wejścia  $D$  w chwili pojawienia się narastającego zbocza impulsu zegara
- Wejścia asynchroniczne działają w logice ujemnej i mają priorytet względem wejść synchronizującego i informacyjnego
- Pojawienie się sygnału 0 na wejściach asynchronicznych powoduje przełączenie stanu na wyjściu przerzutnika ( $S = 0 \rightarrow Q = 1$ ;  $R = 0 \rightarrow Q = 0$ )



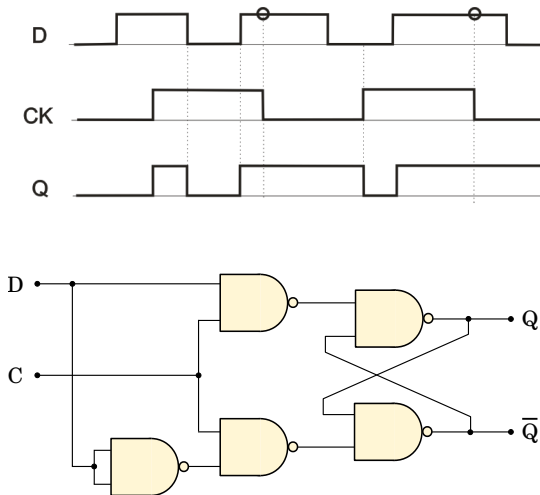
C	D	$Q_{n+1}$
0	0	$Q_n$
0	1	$Q_n$
1	0	0
1	1	1



# Przykład realizacji przerzutnika D (wyzwalanego zboczem)



## Zatrząsk D - przerzutnik wyzwalany poziomem



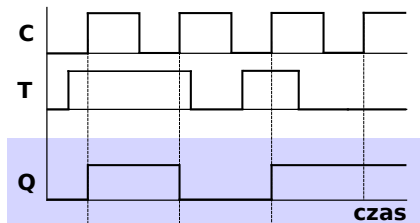
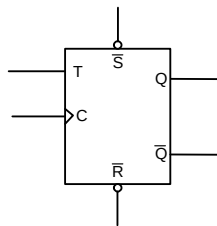
- Typowym zastosowaniem zatrząsku jest zapamiętanie chwilowego stanu szyny danych w celu zobrazowania go na wyświetlaczu

# Przerzutnik T

- Zasadę działania przerzutnika T można opisać równaniem:

$$Q_{n+1} = T \oplus Q_n$$

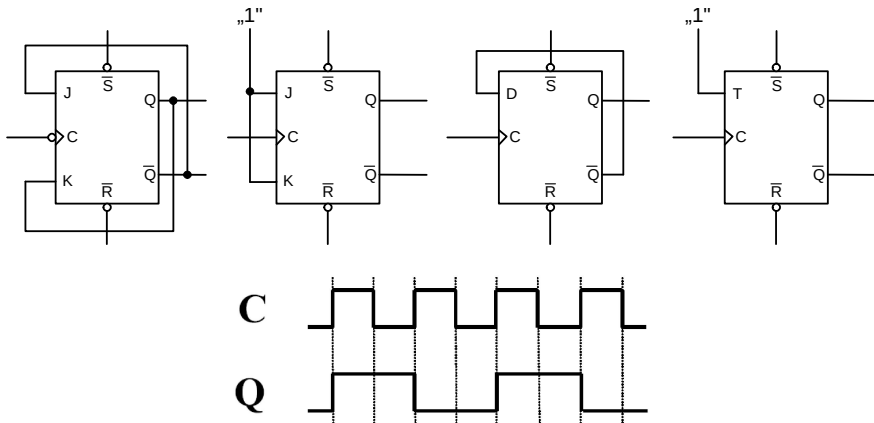
- Przerzutnik T po podaniu wartości logicznej 1 na wejście T i wyzwoleniu zboczem sygnału zegarowego, zmienia stan wyjść na przeciwny
- Podanie 0 na wejście T powoduje zachowanie bieżącego stanu przerzutnika



T	$Q_{n+1}$
0	$Q_n$
1	$\bar{Q}_n$

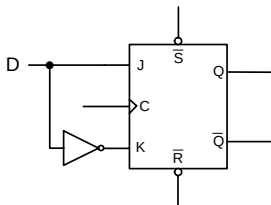
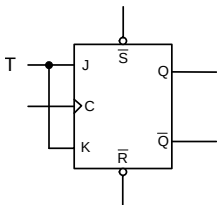
# Konwersje przerzutników w dwójkę liczącą

- Zadaniem dwójki liczącej jest zmiana stanu wyjściowego po każdym okresie zegara, co jest równoznaczne z podzieleniem częstotliwości zegara przez 2
- Dwójkę liczącą możemy uzyskać z przerzutników różnego typu (np. JK, D lub T)

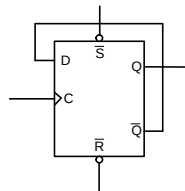
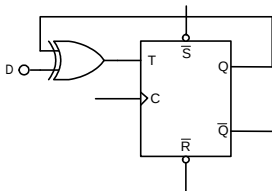
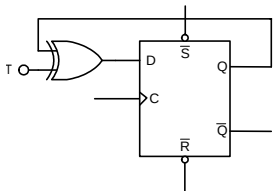


# Inne konwersje

- Przerzutnik JK jest elementem dającym największe możliwości przekształcania w inne przerzutniki dzięki posiadaniu dwóch wejść informacyjnych



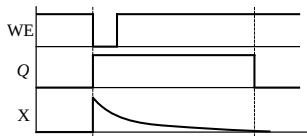
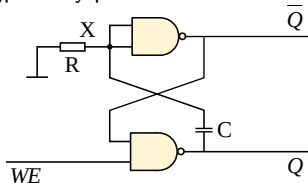
- Prostota działania przerzutników D i T pozwala na ich naprzemienną konwersję





# Przerzutnik monostabilny

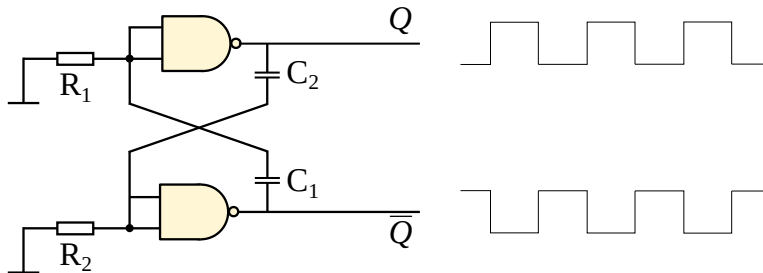
- Najprostszy przerzutnik monostabilny można zbudować z bramek NAND:



- ▶ Po podaniu na wejście 0 układ zmienia stan wyjścia  $Q$  na 1 i ładuje kondensator
  - ▶ Po czasie proporcjonalnym do stałej  $RC$  (czas ładowania kondensatora) w punkcie  $X$  obwodu ponownie pojawia się zero logiczne i układ powraca do stanu wyjściowego:  $Q = 0$
- Zastosowanie przerzutników monostabilnych:
    - ▶ ustalenie szerokości okna czasowego dla pomiaru (odmierzanie czasu)
    - ▶ kształtowanie i unormowanie sygnałów logicznych (czas trwania)
    - ▶ pomiar pojemności lub oporu

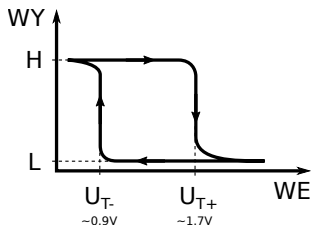
# Przerzutnik astabilny

- Przerzutniki astabilne są generatorami impulsów prostokątnych
- Najprostszy układ można zbudować z bramek lub przerzutników monostabilnych



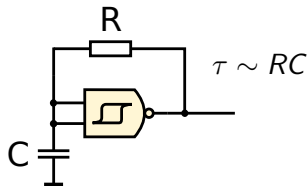
# Bramka Schmitta

- **Bramka Shmitta (przerzutnik Shmitta)** - w obwodzie wejściowym ma dwa progi przełączania, przy których wyjście zmienia stan na przeciwny
- Cechą charakterystyczną jest występowanie pętli histerezy na charakterystyce:



- ▶ przy wzroście napięcia wejściowego przełączenie bramki do stanu niskiego na wyjściu wystąpi przy napięciu wejściowym  $U_{T+}$
- ▶ przy zmniejszaniu napięcia wejściowego powrót do stanu wysokiego na wejściu nastąpi przy napięciu wejściowym  $U_{T-}$

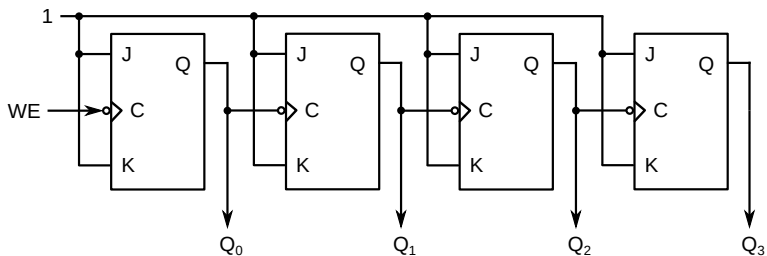
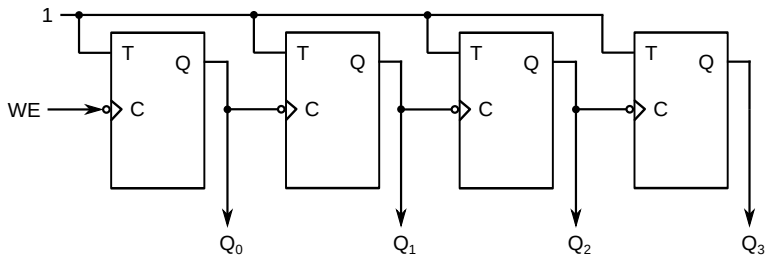
- Bramka Schmitta służy do wprowadzania do elektroniki cyfrowej sygnałów analogowych powolnych i zakłóconych oraz budowy najprostszych generatorów przebiegów prostokątnych - przerzutnik astabilny!



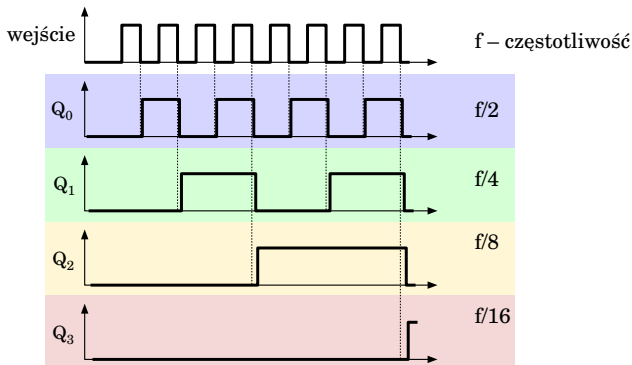
# Liczniki

- Licznikiem nazywamy układ cyfrowy służący do zliczania impulsów
- Na wyjściu licznika pojawia się zakodowana binarnie liczba impulsów podanych na wejście zliczające
- Oprócz wejścia impulsów zliczanych, licznik posiada zazwyczaj wejście ustawiające stan początkowy (zerowanie licznika)
- Podstawowymi elementami liczników są przerzutniki (T, D, JK)
- Rodzaje liczników:
  - liczące w przód (następnikowe)
  - liczące w tył (poprzednikowe)
  - rewersyjne (możliwość zmiany kierunku zliczania)
  
  - ▶ szeregowo (asynchroniczne)
  - ▶ równoległe (synchroniczne)

# Licznik szeregowy na przerzutnikach T i JK



# Zasada działania licznika (przykład licznika na przerzutnikach T)



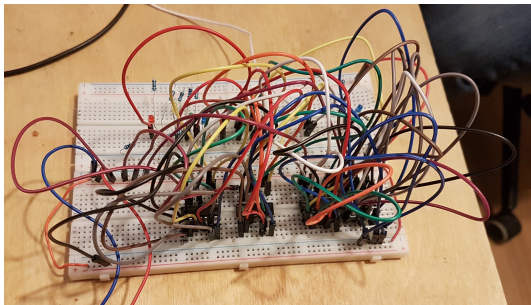
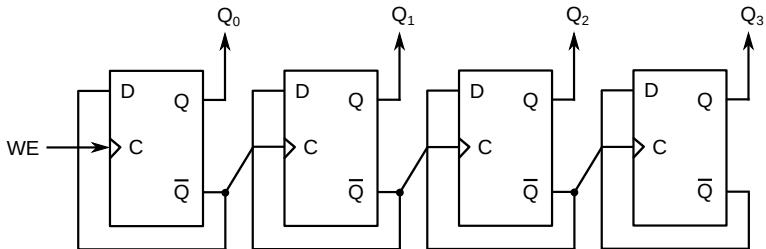
Przerzutniki wyzwalane zboczem opadającym sygnału zegarowego C

Liczba impulsów zapisana w kodzie binarnym (modulo 16)

Numer impulsu      Stan wyjść

n	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

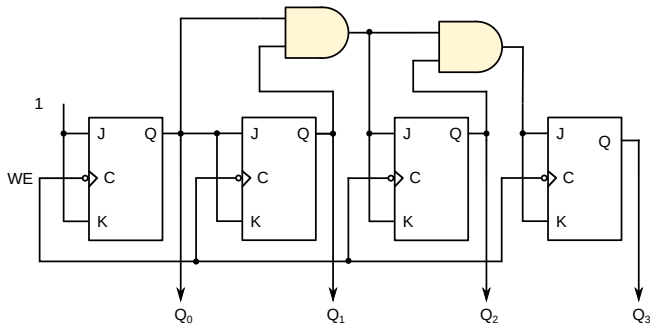
# Licznik szeregowy na przerzutnikach D



Czterobitowy  
licznik  
szeregowy:  
układ  
7493

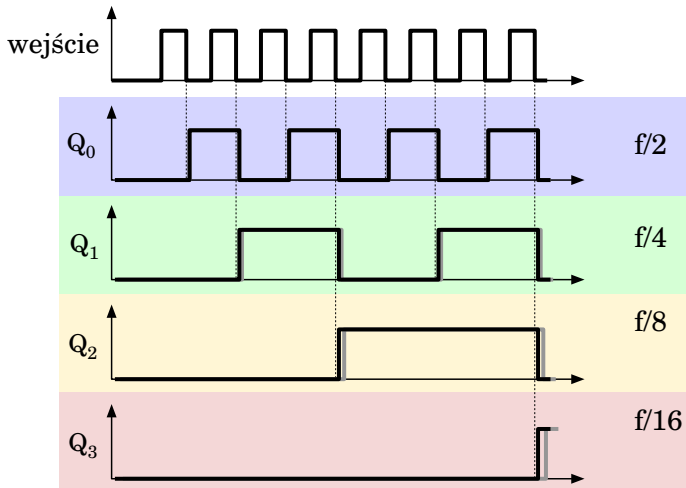
# Licznik równoległy

- W liczniku równoległym jednocześnie steruje się wejściami zegarowymi poszczególnych przerzutników
- Sterowanie funkcją każdego przerzutnika przez podanie 0 lub 1 na  $J$  i  $K$
- Stan zmienia tylko ten przerzutnik na którego wejścia  $J$  i  $K$  podana jest 1
- **Licznik równoległy jest szybszy niż licznik szeregowy**





# Licznik równoległy - przebiegi czasowe

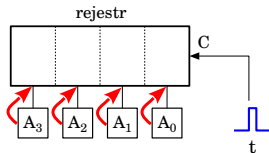


# Rejestry

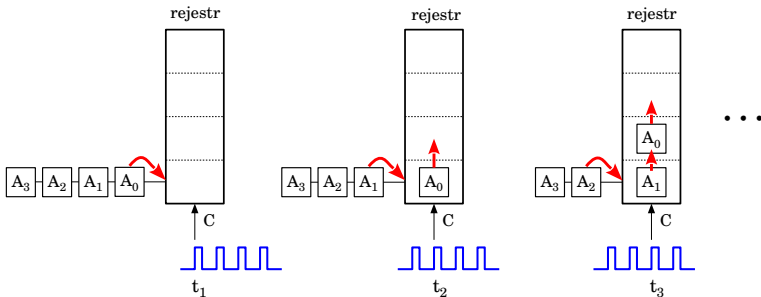
- Rejestry służą do przechowywania informacji cyfrowej zapisanej w naturalnym kodzie binarnym
- Informacja ta może być również dostępna do odczytu
- Wpisana do rejestru informacja przechowywana jest do chwili wprowadzenia kolejnej, nowej informacji
- Niekiedy odczyt zeruje wpisaną informację
- Ze względu na sposób wprowadzania i wyprowadzania informacji rejestry dzielimy na:
  - ▶ szeregowe → wejście i wyjście szeregowe (rejestry przesuwające)
  - ▶ równoległe → wejście i wyjście równoległe (rejestry buforowe)
  - ▶ szeregowo-równoległe → wejście szeregowe, wyjście równoległe
  - ▶ równoległo-szeregowe → wejście równoległe, wyjście szeregowe
- Podstawowym elementem rejestru są przerzutniki, a liczba przerzutników z których jest zbudowany rejestr odpowiada liczbie bitów informacji jaka może być przechowywana w rejestrze (długości rejestru)

# Działanie rejestru

- **Wprowadzanie równoległe** - wszystkie bity słowa informacji wprowadzamy jednocześnie, w jednym takcie zegara:



- **Wprowadzanie szeregowe** - słowo wprowadzamy bit po bicie w kolejnych taktach zegara:



- Wyprowadzenia - równoległe/szeregowe działają analogicznie

# Budowa rejestru

- Najprostszym rejestrem jest przerzutnik D (**wyzwalany poziomem**) - pozwala przechować 1 bit informacji (zestawienie kilku takich przerzutników o wspólnym sygnale zegarowym i bez żadnych dodatkowych połączeń pomiędzy nimi utworzy wielo-bitowy rejestr równoległy)
- Odpowiednie zestawienie przerzutników D pozwala na zbudowanie bardziej uniwersalnych rejestrów:

